

**MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE**

Patent Number: JP2000012543  
Publication date: 2000-01-14  
Inventor(s): NOGUCHI JUNJI  
Applicant(s): HITACHI LTD  
Requested Patent: ☐ JP2000012543  
Application Number: JP19980175842 19980623  
Priority Number(s):  
IPC Classification: H01L21/3205; H01L21/304  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To improve a yield of manufacturing a wiring formed by a damascene process without causing reduction of a throughput.

**SOLUTION:** In the manufacturing method, a groove pattern 3 is formed on an interlayer insulating film 2 formed on a semiconductor substrate 1, Cu is deposited to form a Cu film 4 on the interlayer film 2, polishing a surface of the Cu film 4 by a first CMP(chemical-mechanical polishing) method with use of a mixture slurry of about 70% of QCTT1010 (trade name), about 30% of H<sub>2</sub>O<sub>2</sub> and about 0.01% of BTA (benzolithoazol) to remove 70-90% of a deposited film thickness of the Cu film 4, and then polishing the surface of the Cu film 4 by a second CMP method with use of a mixture slurry of about 70% of QCTT1010, about 30% of H<sub>2</sub>O<sub>2</sub> and about 0.05-0.1% of BTA to bury the Cu film 4 in the groove pattern 3.

---

Data supplied from the esp@cenet database - I2

(1) 出願番号 (2) 公開特許公報 (A)

(3) 特許公報公開番号

特開2000-12543

(P2000 12543A)

(4) 公開日 平成12年1月14日(2000.1.14)

(5) Int.Cl.<sup>7</sup> H01L 21/9205  
21/904 H22  
FI H01L 21/68  
21/601 B22X  
G 5P039  
B22X

審査請求 不特許 特許利用の表示 (1) (全7頁)

(6) 出願番号 特願平10-173999

(22) 出願日 平成10年6月23日(1998.6.23)

(71) 出願人 株式会社日立製作所

東京都千代田区神田神田區目黒五丁目

(72) 発明者 野田 敏男

東京都青柳上町八丁目16番地の3 株式会社日立製作所デバイス開発センター内

(73) 代理人 J00300001

弁護士 関根 大和

Fターム(参考) J033 A61R A62B A63A A64 A66

B417 B42B B437 D431 D432

E48S E48T E49 E425 E425

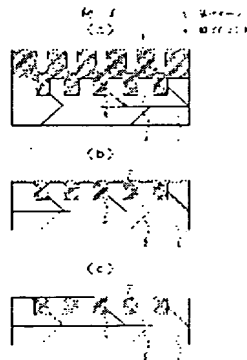
E433

(84) (発明の名称) 半導体装置の製造方法

# (9) 【要約】

【課題】 スルーホールを低下させることなく、ダマシンプロセスによって形成される配線の製造歩留まりを向上することができる技術を提供する。

【解決手段】 半導体基板1上に形成された層間絶縁膜2に、溝パターン3を形成した後、層間絶縁膜2の上層にCu膜4を堆積し、次いで、Cu膜4の表面をQCTT1010(約70%)とH2O2(約30%)とBTA(約0.1%)とからなる混合スラリーを用いた第1のCMPによって研磨して、Cu膜4の堆積膜厚の70~90%を切削し、続いて、Cu膜4の表面をQCTT1010(約70%)とH2O2(約30%)とBTA(約0.5~0.1%)とからなる混合スラリーを用いた第2のCMPによって研磨して、溝パターン3にCu膜4を埋め込むものである。



【特許請求の範囲】

【請求項1】 ダマシンプロセスによって凹線を形成する半導体集積回路装置の製造方法であって、 $\alpha$ 半導体基板上に形成された層間絶縁膜に、凹線が設けられる溝パターンを形成する工程と、 $\beta$ 前記層間絶縁膜の上層に金属膜を堆積する工程と、 $\gamma$ 前記金属膜の表面を第1のスラリを用いた化学的機械研磨法によって研磨し、前記金属膜の堆積膜厚の70～90%を切削する工程と、 $\delta$ 前記金属膜の表面を第2のスラリを用いた化学的機械研磨法によって研磨し、前記溝パターンに前記金属膜を埋め込む工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 ダマシンプロセスによって凹線を形成する半導体集積回路装置の製造方法であって、 $\alpha$ 半導体基板上に形成された層間絶縁膜に、凹線が設けられる溝パターンを形成する工程と、 $\beta$ 前記層間絶縁膜の上層にバリア膜および金属膜を順次堆積する工程と、 $\gamma$ 前記金属膜の表面を第1のスラリを用いた化学的機械研磨法によって研磨し、前記金属膜の堆積膜厚の70～90%を切削する工程と、 $\delta$ 前記金属膜の表面および前記バリア膜の露出した表面を第2のスラリを用いた化学的機械研磨法によって研磨し、前記溝パターンに前記バリア膜および前記金属膜を埋め込む工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 デュアルダマシンプロセスによって凹線を形成する半導体集積回路装置の製造方法であって、 $\alpha$ 半導体基板上に形成された層間絶縁膜に、凹線が設けられる溝パターンおよび上下の凹線間または半導体素子と凹線間を接続する穴パターンを順次形成する工程と、 $\beta$ 前記層間絶縁膜の上層に金属膜を堆積する工程と、 $\gamma$ 前記金属膜の表面を第1のスラリを用いた化学的機械研磨法によって研磨し、前記金属膜の堆積膜厚の70～90%を切削する工程と、 $\delta$ 前記金属膜の表面を第2のスラリを用いた化学的機械研磨法によって研磨し、前記溝パターンおよび前記穴パターンに前記金属膜を埋め込む工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 デュアルダマシンプロセスによって凹線を形成する半導体集積回路装置の製造方法であって、 $\alpha$ 半導体基板上に形成された層間絶縁膜に、凹線が設けられる溝パターンおよび上下の凹線間または半導体素子と凹線間を接続する穴パターンを順次形成する工程と、 $\beta$ 前記層間絶縁膜の上層にバリア膜および金属膜を順次堆積する工程と、 $\gamma$ 前記金属膜の表面を第1のスラリを用いた化学的機械研磨法によって研磨し、前記金属膜の堆積膜厚の70～90%を切削する工程と、 $\delta$ 前記金属膜の表面および前記バリア膜の露出した表面を第2のスラリを用いた化学的機械研磨法によって研磨し、前記溝パターンおよび前記穴パターンに前記バリア膜および前記金属膜を埋め込む工程とを有することを

特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1から4のいずれか1項に記載の半導体集積回路装置の製造方法において、前記第1のスラリは相対的に少ない防食剤を含んでおり、前記第2のスラリは相対的に多い防食剤を含んでいることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1から4のいずれか1項に記載の半導体集積回路装置の製造方法において、前記第1のスラリは過酸化水素水と約0.1%のベンゾトリアゾールを含んでおり、前記第2のスラリは過酸化水素水と約0.5～0.1%のベンゾトリアゾールを含んでいることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1から4のいずれか1項に記載の半導体集積回路装置の製造方法において、前記金属膜は銅、タングステン、モリブデンまたはアルミニウム合金であることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項2または4に記載の半導体集積回路装置の製造方法において、前記バリア膜はチタン、窒化チタン、タンタル、窒化タンタルまたは窒化タングステンであることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、ダマシンプロセスによって形成される多層凹線を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】0.2 $\mu$ m以下の設計ルールを用いて形成される多層凹線技術においては、凹線を構成する金属膜の加工および層間絶縁膜の埋め込みの難しさから、ダマシンプロセスが採用されている。

【0003】次に、本発明者が検討中のダマシンプロセスの一例を図10を用いて説明する。

【0004】まず、図10(a)に示すように、半導体基板1上に形成された下層の電極(図示せず)の上に層間絶縁膜2を堆積した後、レジストパターンをマスクとして層間絶縁膜2をエッチングすることによって、溝パターン3を層間絶縁膜2に形成し、次いで、上記レジストパターンを除去した後、半導体基板1上に金属膜、例えば銅(Cu)膜4を堆積する。

【0005】次に、図10(b)に示すように、化学的機械研磨(Chemical Mechanical Polishing; CMP)

技術を用いてCu膜4の表面を平坦化することによって、層間絶縁膜2に設けられた溝パターン3にCu膜4を埋め込み、Cu膜4によって上層の凹線を構成するものである。

【0006】なお、ダマシンプロセスについては、例えばプレスジャーナル発行「月刊セミコンダクター・ワー

ルド (Semiconductor) 1996年12月号、p124～p154、プレスジャーナル発行「月刊セミコンダクター・ワールド (Semiconductor) 」1998年2月号、p82～p114などに記載されている。

【0007】

【発明が解決しようとする課題】しかしながら、本発明者は、Cu配線のダマシンプロセス (Cuダマシンプロセス) のCMP工程において、以下の問題点を見いだした。

【0008】すなわち、前記CuダマシンプロセスのCMP工程においては、Rodel社製のスラリ (商品名: QCTT1010) に酸化剤として約30%の過酸化水素水 (H<sub>2</sub>O<sub>2</sub>) を、Cuの防食剤として約0.1%のベンゾトリアゾール (BTA) を混合した薬液 (混合スラリ) が用いられているが、この混合スラリとCuが化学反応して、図11に示すように、Cu膜4が腐食する。上記腐食は、Cu配線の半断線不良またはCu配線上の層間絶縁膜に形成されるスルーホールの開孔不良を生じさせる。

【0009】また、図12に示すように、CMP装置の研磨パッドのたわみなどによって、幅の広い配線を構成するCu膜4の中央部分がへこむディッシング (Dishing) が生じる。このディッシング量は、溝パターン3の形状または研磨条件などにも依存するが、一般的には配線幅、すなわち溝パターン3の幅に対してログ (対数) スケールでリニアな関係にある。

【0010】一方、オーバー研磨をかけることにより、ディッシングとは別に配線と配線との間にある層間絶縁膜の細い部分が研磨の荷重に耐えられずに削られてしまい、配線の厚みそのものが薄くなってしまいうエロージョン (Erosion) が生じる。オーバー研磨の量が多いほどエロージョンの量は顕著となるが、Cu膜の成膜時の膜厚はらつきまたはCMP工程での研磨量のばらつきを考慮すると、半導体ウエハ内のある一部においては必ずオーバー研磨は必要である。

【0011】上記ディッシングまたはエロージョンは、Cu配線の設計上の抵抗値と出来上がりの抵抗値に差違などを生じさせる。溝パターンの深さに対するディッシング量が20%以下であれば、Cu配線は許容できる抵抗値を得ることができる。例えば、幅15～20μmの溝パターンにおけるディッシング量は、通常、約1μmであるので、溝パターンの深さを15μmよりも深くすればよい。しかし、CMP技術の諸条件から溝パターンの幅および深さを既定すると配線の設計の自由度が低下する。

【0012】そこで、上記混合スラリに含まれるBTA濃度を増やしてCu配線の表面を保護する効果を強め、腐食、ディッシングなどの問題を抑えたCMPの検討が行われたが、研磨速度が遅くなって著しくスループ

ットが低下してしまう。

【0013】本発明の目的は、スループットを低下させることなく、ダマシンプロセスによって形成される配線の製造歩留まりを向上することができる技術を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】本発明の半導体集積回路装置の製造方法は、ダマシンプロセスによって配線を形成する際、まず、半導体基板上に形成された層間絶縁膜に、配線が設けられる溝パターンを形成した後、層間絶縁膜の上層にCu膜を堆積する。次に、上記Cu膜の表面をQCTT1010 (約70%) とH<sub>2</sub>O<sub>2</sub> (約30%) とBTA (約0.1%) とからなる混合スラリを用いた第1のCMPによって研磨して、Cu膜の堆積膜厚の70～90%を切削し、続いて、Cu膜の表面をQCTT1010 (約70%) とH<sub>2</sub>O<sub>2</sub> (約30%) とBTA (約0.5～0.1%) とからなる混合スラリを用いた第2のCMPによって研磨して、上記溝パターンにCu膜を埋め込み、Cu膜によって構成される配線を形成するものである。

【0017】上記した手段によれば、0.1%のBTAを含んだ混合スラリを用いた第1のCMPによって、研磨速度を低下させずに、Cu膜の堆積膜厚の70～90%を研磨した後、0.5～0.1%のBTAを含んだ混合スラリを用いた第2のCMPによって、Cu膜の表面を保護しながらCu膜の表面を研磨するので、スループットを著しく低下させることなく、Cu膜の腐食およびディッシングを抑えたCu膜の研磨が可能となる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0019】本発明の一実施の形態であるCMP技術を用いたCuダマシンプロセスを図1～図9を用いて説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0020】図1に、本実施の形態であるダマシンプロセスにおけるCMP工程を示す。

【0021】まず、半導体基板1上に形成された下層の電極 (図示せず) の上に層間絶縁膜2を堆積した後、レジストパターンをマスクとして層間絶縁膜2をエッチングすることによって、溝パターン3を層間絶縁膜2に形成する。次いで、上記レジストパターンを除去した後、半導体基板1上にCu膜4を堆積する (図1 (a))。

【0022】次に、QCTT1010（約70%）とH<sub>2</sub>O<sub>2</sub>（約30%）とBTA（約0.1%）とからなる混合スラリーを用いた第1のCMPによってCu膜4の表面を70~90%程度削る（図1（b））。

【0023】次に、BTAの濃度を高めたQCTT1010（約70%）とH<sub>2</sub>O<sub>2</sub>（約30%）とBTA（約0.5~0.1%）とからなる混合スラリーを用いた第2のCMPによってCu膜4の表面を保護しながら平坦化し、層間絶縁膜2に設けられた溝パターン3にCu膜4を埋め込むものである（図1（c））。

【0024】すなわち、0.1%のBTAを含んだ混合スラリーを用いた第1のCMPによって、研磨速度を低下させずに、Cu膜4の堆積膜厚の70~90%を研磨した後、0.5~0.1%のBTAを含んだ混合スラリーを用いた第2のCMPによって、Cu膜4の表面を保護しながらCu膜4の表面を研磨するので、スループットを著しく低下させることなく、Cu膜4の腐食およびディッシングを抑えたCu膜4の研磨が可能となる。前記CMP工程によって形成されたCu膜4は、図2に示すように、溝パターンの深さに対するディッシング量が20%以下となる。

【0025】次に、図3に示すCMP装置の概略図を用いて前記第1のCMPおよび第2のCMPを詳細に説明する。

【0026】CMP装置には、プラテンが2台備わっており、一方の研磨定盤（第1のプラテン）上で上記第1のCMPを行ない、他方の研磨定盤（第2のプラテン）上で上記第2のCMPを行なう。第1のプラテンと第2のプラテンの構造は同じであるが、研磨定盤上に供給される混合スラリーの種類が異なる。

【0027】図3（a）は、CMP装置に備わった第1のプラテンP1の上面図であり、図3（b）は、図3（a）に記載の第1のプラテンP1の側面図である。5は半導体ウエハ、6a、6bは加圧ヘッド、7は研磨定盤、8は研磨パッド、9はドレッサ、10は混合スラリー、11は供給ノズルである。

【0028】まず、第1のプラテンP1を用いて前記第1のCMPを行なう。半導体ウエハ5は、真空吸引により加圧ヘッド6a、6bに装着された後、研磨定盤7に貼り付けられた研磨パッド8上に押し付けられる。研磨パッド8の表面は、ドレッサ9を用いてドレッシングされる。ドレッサ9にはダイヤモンド粒子が埋め込まれており、ドレッサ9は研磨パッド8の表面を切削して平坦度を出すために用いられる。

【0029】半導体ウエハ5は、加圧ヘッド6a、6bと共に回転し、同じく回転する研磨パッド8に押し付けられて、半導体基板1上のCu膜4の表面を研磨することによって、Cu膜4の堆積膜厚の70~90%を研磨する。

【0030】この際、QCTT1010（約70%）と

H<sub>2</sub>O<sub>2</sub>（約30%）とBTA（約0.1%）とからなる混合スラリー10が、供給ノズル11から、例えば約20ml/分の速度で研磨パッド8上に供給される。

【0031】研磨時の加圧ヘッド6a、6bおよび研磨定盤7の回転数は、例えば共に30回/分であり、半導体ウエハ5および研磨定盤7の直径は、例えばそれぞれ8インチおよび600nmである。半導体ウエハ5は、例えば300gr/cm<sup>2</sup>の圧力で研磨パッド8の表面に押さえ付けられている。

【0032】次に、前記第1のプラテンP1と同じ構造の第2のプラテンを用いて前記第2のCMPを行なう。前記第1のCMPと同様な方法によって、半導体基板1上のCu膜4の表面は研磨されて、溝パターン3にCu膜4が埋め込まれる。

【0033】この際、QCTT1010（約70%）とH<sub>2</sub>O<sub>2</sub>（約30%）とBTA（約0.5~0.1%）とからなる混合スラリーが、供給ノズルから、例えば約20ml/分の速度で研磨パッド上に供給される。

【0034】次に、最小線幅が2μm以下のプロセスで製造される半導体素子の第2層目の配線の製造方法に、本実施の形態のCMP技術を適用したCuダマシンプロセスを図4~図9を用いて説明する。

【0035】なお、本実施の形態では、第2層目の配線が形成される溝パターンおよび第2層目の配線と第1層目の配線とを接続する穴パターンを層間絶縁膜に形成し、上記溝パターンおよび上記穴パターンに同時に金属膜を埋め込むデュアルダマシンプロセスを採用した。

【0036】まず、図4に示すように、半導体素子（図示せず）が形成された半導体基板12上に半導体素子に接続された第1層目の配線M1を形成する。なお、半導体素子と第1層目の配線M1との間には、両者を絶縁するための層間絶縁膜13が形成されており、この層間絶縁膜13は、例えば、酸化シリコン膜および平坦化されたBPSG（Borophosphosilicate Glass）膜からなる積層膜によって構成されている。

【0037】次に、半導体基板12上にプラズマCVD（Plasma CVD）法によって第1の窒化シリコン膜14を堆積した後、プラズマCVD法によってTEOS（Tetraethoxysilane; Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)をソースとした第1のTEOS膜15を堆積する。第1の窒化シリコン膜14の厚さは、例えば0.5~0.1μmであり、第1のTEOS膜15の厚さは、例えば、14μmである。

【0038】さらに、第1のTEOS膜15上にプラズマCVD法によって第2の窒化シリコン膜16を堆積する。第2の窒化シリコン膜16の厚さは、例えば0.1μmである。

【0039】次いで、レジストパターン（図示せず）をマスクとして、後に第1層目の配線M1と第2層目の配線M2とを接続するための穴パターンが形成される領域

の上記第2の窒化シリコン膜16を除去する。

【0040】次に、図5に示すように、SOG (Spin on Glass) 膜17を回転塗布法によって第2の窒化シリコン膜16上に成膜し、続いてプラズマCVD法によって第2のTEOS膜18を堆積する。SOG膜17の厚さは、例えば $0.2\mu\text{m}$ であり、第2のTEOS膜18の厚さは、例えば $0.7\mu\text{m}$ である。

【0041】次に、レジストパターン19をマスクとして、第2層目の凹線が形成される領域の上記第2のTEOS膜18および上記SOG膜17を順次エッチングすることによって、溝パターン20を形成する。

【0042】次いで、図6に示すように、レジストパターン19および第2の窒化シリコン膜16をマスクとして、上記第1のTEOS膜15および上記第1の窒化シリコン膜14を順次エッチングすることによって、穴パターン21を形成する。

【0043】次に、図7に示すように、レジストパターン19を除去した後、半導体基板12上に窒化チタン(TiN)膜22およびCu膜23を順次堆積する。TiN膜22は、Cuの拡散を防ぐバリア膜である。

【0044】次いで、図8に示すように、前記CMP装置に設けられた第1のプラテンPを使用し、低濃度(001%)のBTAを含んだ混合スラリーを用いた前記第1のCMPによって、Cu膜23の表面を研磨し、Cu膜23の堆積厚の70~90%を切削する。

【0045】この後、図9に示すように、前記CMP装置に設けられた第2のプラテンを使用し、高濃度(005~01%)のBTAを含んだ混合スラリーを用いた前記第2のCMPによって、さらに、Cu膜23の表面およびTiN膜22の露出した表面を研磨し、穴パターン21および溝パターン20にCu膜23およびTiN膜22を埋め込み、Cu膜23によって第2層目の凹線M2を構成する。

【0046】なお、本実施の形態では、デュアルダマシンプロセスに適用した場合について説明したが、シングルドマシンプロセスにも適用可能である。

【0047】また、本実施の形態では、多層凹線における第2層目の凹線の製造方法に適用した場合について説明したが、多層凹線における第1層目の凹線または第2層目よりも上層の凹線の製造方法、ならびに単層凹線の製造方法にも適用可能である。

【0048】このように、本実施の形態によれば、ダマシンプロセスのCMP工程において、スループットを低下させずに、腐食およびディッシングが抑制されたCu膜4を溝パターン3に形成することが可能となる。

【0049】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0050】例えば、前記実施の形態では、Cu膜によって構成される凹線に適用した場合について説明したが、他の金属膜、例えばタングステン膜、モリブデン膜またはアルミニウム合金膜などによって構成される凹線に適用可能である。

【0051】【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0052】本発明によれば、ダマシンプロセスにおいて、スループットを低下させることなく、腐食およびディッシングが抑制された凹線を形成することが可能となるので、凹線に接して形成されるスルーホールの開孔不良などを防ぐことができ、さらに、設計上の抵抗値とほぼ同じ抵抗値を有する凹線を形成することができ、配線の製造歩留まりを向上することができる。

#### 【図面の簡単な説明】

【図1】(a)、(b)、(c)は、本発明の一実施の形態であるダマシンプロセスのCMP技術を用いるための半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるダマシンプロセスのCMP技術を用いて形成される埋め込み凹線を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態で用いられるCMP装置の模式図であり、(a)は上面図、(b)は要部側面図である。

【図4】本発明の一実施の形態であるダマシンプロセスのCMP技術を用いて形成される多層凹線の製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるダマシンプロセスのCMP技術を用いて形成される多層凹線の製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるダマシンプロセスのCMP技術を用いて形成される多層凹線の製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるダマシンプロセスのCMP技術を用いて形成される多層凹線の製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるダマシンプロセスのCMP技術を用いて形成される多層凹線の製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるダマシンプロセスのCMP技術を用いて形成される多層凹線の製造方法を示す半導体基板の要部断面図である。

【図10】(a)、(b)は、本発明者が検討したダマシンプロセスのCMP技術を用いて形成される埋め込み凹線を示す半導体基板の要部断面図である。

【図11】本発明者が検討したダマシンプロセスのCMP技術を用いて形成される埋め込み凹線で生じる腐食現象を説明するための半導体基板の要部断面図である。

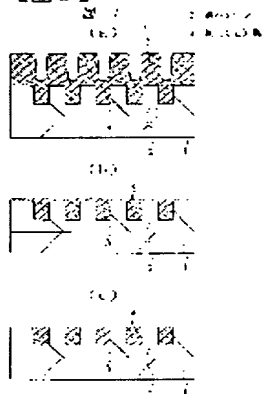
【図12】本発明者が検討したダマシプロセスのCMP技術を用いて形成される埋め込み配線で生じるディッシング現象を説明するための半導体基板の要部断面図である。

【符号の説明】

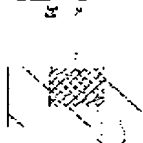
- 1 半導体基板
- 2 層間絶縁膜
- 3 溝パターン
- 4 銅(Cu)膜
- 5 半導体ウエハ
- 6a 加圧ヘッド
- 6b 加圧ヘッド
- 7 研磨定盤
- 8 研磨パッド
- 9 ドレッサ
- 10 混合スラリー

- 11 供給ノズル
- 12 半導体基板
- 13 層間絶縁膜
- 14 第1の窒化シリコン膜
- 15 第1のTEOS膜
- 16 第2の窒化シリコン膜
- 17 SOG膜
- 18 第2のTEOS膜
- 19 レジストパターン
- 20 溝パターン
- 21 穴パターン
- 22 窒化チタン(TiN)膜
- 23 銅(Cu)膜
- P1第1のプラテン
- M1第1層目の配線
- M2第2層目の配線

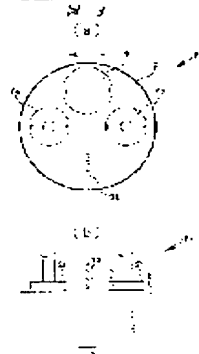
【図1】



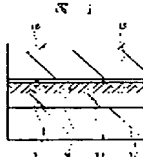
【図2】



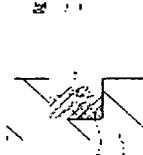
【図3】



【図4】



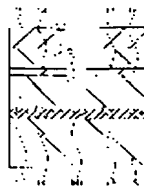
【図11】



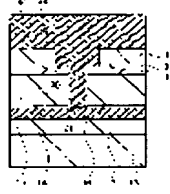
【图5】  
图 5



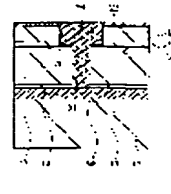
【图6】  
图 6



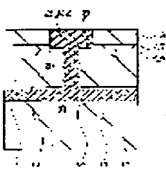
【图7】  
图 7



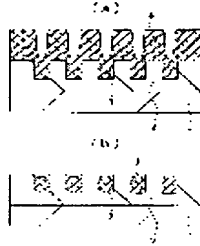
【图8】  
图 8



【图9】  
图 9



【图10】  
图 10



【图12】  
图 12

